

DIALOG(R)File 345:Inpadoc/Fam.& Legal Stat

(c) 2002 EPO. All rts. reserv.

10263666

Basic Patent (No,Kind,Date): JP 3280435 A2 911211 <No. of Patents: 001>

MANUFACTURE OF THIN FILM SEMICONDUCTOR DEVICE (English)

Patent Assignee: SEIKO EPSON CORP

Author (Inventor): SATO JUNJI

IPC: *H01L-021/336; H01L-021/205; H01L-021/84; H01L-029/784

CA Abstract No: 116(16)164369S

Derwent WPI Acc No: C 92-035525

JAPIO Reference No: 160101E000165

Language of Document: Japanese

Patent Family:

Patent No	Kind	Date	Applic No	Kind	Date
JP 3280435	A2	911211	JP 9080212	A	900328 (BASIC)

Priority Data (No,Kind,Date):

JP 9080212 A 900328

03617535 ****Image available****

MANUFACTURE OF THIN FILM SEMICONDUCTOR DEVICE

PUB. NO.: 03-280435 [JP 3280435 A]

PUBLISHED: December 11, 1991 (19911211)

INVENTOR(s): SATO JUNJI

APPLICANT(s): SEIKO EPSON CORP [000236] (A Japanese Company or Corporation)
, JP (Japan)

APPL. NO.: 02-080212 [JP 9080212]

FILED: March 28, 1990 (19900328)

INTL CLASS: [5] H01L-021/336; H01L-021/205; H01L-021/84; H01L-029/784

JAPIO CLASS: 42.2 (ELECTRONICS -- Solid State Components)

JAPIO KEYWORD:R004 (PLASMA); R096 (ELECTRONIC MATERIALS -- Glass Conductors); R100 (ELECTRONIC MATERIALS -- Ion Implantation)

JOURNAL: Section: E, Section No. 1177, Vol. 16, No. 101, Pg. 165,
March 12, 1992 (19920312)

ABSTRACT

PURPOSE: To to prevent the generation of a defective while the effect of the improvement of a TFT characteristic, which are hydrogenated, is maintained and to make it possible to correspond to an increase in the size of a substrate by a method wherein a cap layer of a diffusion coefficient of hydrogen smaller than that of a polyimide layer, which is used as an interlayer insulating film, is formed on an amorphous silicon film and hydrogen existing in the amorphous silicon film is eliminated from the amorphous silicon film by a heat treatment and is diffused.

CONSTITUTION: An amorphous silicon film 108 is formed by a plasma CVD method or the like. A cap layer 109 is formed on the film 108 and a hydrogenation annealing is performed at a temperature of 300 to 500 deg.C or thereabouts. Atomic hydrogen is eliminated from the film 108 by the annealing, is diffused in a stopper layer 107 or an interlayer insulating film 110, a gate electrode, a gate insulating film 102 and a semiconductor region and combined with terminal free-bond parts existing in a polycrystalline silicon grain boundary or the like. Since the hydrogenation is conducted by atomic hydrogen eliminated from the amorphous silicon film by annealing, a BT stress is hardly applied at the time of formation of the film 108 and the generation of a defect due to plasma damage can be perfectly eliminated.

⑨ 日本国特許庁(JP)

⑩ 特許出願公開

⑪ 公開特許公報(A) 平3-280435

⑫ Int. Cl.³

識別記号

庁内整理番号

⑬ 公開 平成3年(1991)12月11日

H 01 L 21/336
21/205
21/84
29/7847739-4M
7739-4M

9056-4M H 01 L 29/78

3 1 1 Y

審査請求 未請求 請求項の数 2 (全8頁)

⑭ 発明の名称 薄膜半導体装置の製造方法

⑮ 特 願 平2-80212

⑯ 出 願 平2(1990)3月28日

⑰ 発 明 者 佐 藤 淳 史 長野県諏訪市大和3丁目3番5号 セイコーエプソン株式
会社内⑱ 出 願 人 セイコーエプソン株式 東京都新宿区西新宿2丁目4番1号
会社

⑲ 代 理 人 弁理士 鈴木 喜三郎 外1名

明 細 書

1. 発明の名称

薄膜半導体装置の製造方法

2. 特許請求の範囲

(1) 絶縁ゲート型電界効果トランジスタのチャネル領域の少なくとも一部が非単結晶半導体よりなる半導体の製造方法に於いて、層間絶縁膜としてのポリイミド層を形成する工程、該ポリイミド層上に水素を含む非晶質シリコン膜を形成する工程、該非晶質シリコン膜上に水素の拡散係数が前記ポリイミド層より小さいキャップ層を形成する工程、熱処理によって該非晶質シリコン膜中に存在する水素を脱離及び拡散する工程を少なくとも有することを特徴とする薄膜半導体装置の製造方法。

(2) 絶縁ゲート型電界効果トランジスタのチャネル領域の少なくとも一部が非単結晶半導体よりなる半導体の製造方法に於いて、非晶質二酸化珪素層を形成する工程、該非晶質二酸化珪素層上に

水素を含む非晶質シリコン膜を形成する工程、該非晶質シリコン膜上に水素の拡散係数が非晶質二酸化珪素よりも小さい物質からなるキャップ層を形成する工程、熱処理によって該非晶質シリコン膜中に存在する水素を脱離及び拡散する工程を少なくとも有することを特徴とする薄膜半導体装置の製造方法。

3. 発明の詳細な説明

〔産業上の利用分野〕

本発明は、非結晶半導体薄膜を構成要素とする薄膜半導体装置の製造方法に関する。

〔従来の技術〕

非晶質シリコン薄膜、微結晶シリコン薄膜、多結晶シリコン薄膜等の非単結晶半導体薄膜には、末端未結合部分が多数存在する。例えば多結晶シリコン薄膜に関しては、結晶粒界に存在する末端未結合部分等の欠陥が、キャリアに対するトラップ準位となり、キャリアの伝導に対して障壁として働く(J. Y. W. Seto, J. Appl. Phys., 46, p 5247 (1975))。

特開平3-280435 (2)

従って、多結晶シリコン薄膜トランジスタの性能を向上させるためには、前記欠陥を少なくする必要がある(J. Appl. Phys., 53(2), p1193(1982))。この目的のために水素による前記欠陥の終端化が行なわれており、この様な水素化の方法としては、水素プラズマ処理、水素イオン注入法、水素ガス雰囲気中でのアニール法、或るいはプラズマ窒化膜からの水素の拡散法等が知られている。

また、現在一般に量産されている大型パネル等、大型の基板を用いた薄膜半導体応用製品には、応力がかかりすぎると素子が破壊されてしまうなどの基板の大型化故の破局点の存在により、層間絶縁膜として、水素化の方法が多岐に亘る二酸化珪素の代わりに、応力が小さいポリイミド等の材質が用いられているが、この類の材質は一般に水素を通し難く、水素ガス雰囲気中でのアニール法を用いる程度の水素化しか行なわないか、或るいは水素化そのものを行えないという、TFT特性の向上にとっては致命的な欠点がある。

上効果を維持しつつ不良の発生を防止し、且つ水素化によるTFT特性の向上効果を基板の大型化に対応した形にもするものであり、その目的とするところは、前述の課題を解決した薄膜半導体装置の製造方法を提供するところにある。

【課題を解決するための手段】

本発明の薄膜半導体装置の製造方法は、以下の特長を有する。

(1) 絶縁ゲート型電界効果トランジスタのチャネル領域の少なくとも一部が非単結晶半導体よりなる半導体の製造方法に於いて、層間絶縁膜としてのポリイミド層を形成する工程、該ポリイミド層上に水素を含む非晶質シリコン膜を形成する工程、該非晶質シリコン膜上に水素の拡散係数が前記ポリイミド層より小さいキャップ層を形成する工程、熱処理によって該非晶質シリコン膜中に存在する水素を脱離及び拡散する工程を少なくとも有することを特長とする。

(2) 絶縁ゲート型電界効果トランジスタのチャネル領域の少なくとも一部が非単結晶半導体より

【発明が解決しようとする課題】

まず、従来の水素化の方法では以下に述べる欠点があった。(1)水素イオン注入法に於いては、イオン注入装置という高価な装置を必要とし、数百人程度の多結晶シリコン膜に水素を打ち込む際の制御性が悪い等の欠点がある。(2)プラズマ窒化膜からの水素の拡散法に於いては、水素の供給が不十分であるために、水素プラズマ処理に比して特性が十分には向上しない等の欠点がある。(3)水素プラズマ処理法に於いては、特性の向上という点では優れているが、プラズマダメージによるゲート耐圧不良、スレッショールド電圧のシフトその他の不良が発生する等の欠点がある。

また、層間絶縁膜として非晶質二酸化珪素の代わりにポリイミド層を形成した場合、基板の大型化に対しては応力の点で優り基板の歪みが少なくて済むと言う利点はあるものの、水素の拡散係数が低いポリイミド層の場合、TFT特性を水素化により向上させる有力な手段がなかった。

そこで、本発明は水素化によるTFT特性の向

なる半導体の製造方法に於いて、非晶質二酸化珪素層を形成する工程、該非晶質二酸化珪素層上に水素を含む非晶質シリコン膜を形成する工程、該非晶質シリコン膜上に水素の拡散係数が非晶質二酸化珪素よりも小さい物質からなるキャップ層を形成する工程、熱処理によって該非晶質シリコン膜中に存在する水素を脱離及び拡散する工程を少なくとも有することを特長とする。

【実施例】

本発明の実施例を、第1図の本発明に於ける薄膜トランジスタの工程図に従って説明する。

第1図(a)は、ガラス、石英などの絶縁性非晶質基板若しくはSiO₂等の絶縁性非晶質材料層などの絶縁性非晶質材料からなる支持層100表面上に、多結晶シリコン等の非単結晶シリコン薄膜101を積層し、その後ホトリソグラフィ法により該非単結晶シリコン薄膜をパターニングする工程である。該非単結晶シリコン薄膜の形成方法としては以下に述べるような方法がある。

(1) 減圧CVD法で580℃～650℃程度

特開平3-280435 (3)

で多結晶シリコン薄膜を形成する。

(2) EB蒸着法、スパッタ法、プラズマCVD法等で非晶質シリコン薄膜を堆積後、550℃～650℃程度で2～70時間程度固相成長アニールを行ない、粒径1～2μm以上の大粒径の多結晶シリコン薄膜を形成する。

(3) 減圧CVD法等で多結晶シリコン薄膜を堆積後、イオンインプランテーション法によりSi等を打ち込み、該多結晶シリコン薄膜を非晶質化した後、550℃～650℃程度で固相成長アニールを行い、粒径1～2μm程度の大粒径多結晶シリコン薄膜を形成する。

尚、非単結晶シリコン薄膜101としては、上述の多結晶シリコン薄膜以外にも微結晶シリコン薄膜若しくは非晶質シリコン薄膜を用いてもよい。次に第1図(b)に示すように熱酸化法等によりゲート酸化膜102を形成する。ドライ酸化法を用いれば酸素雰囲気中で約1150℃の熱処理を行なうことによって、絶縁耐圧の高いゲート酸化膜を得ることが出来る。ウェット酸化法を用いれ

ば800℃程度の低温の熱処理でもゲート酸化膜が形成されるが、ドライ酸化法で形成されたゲート酸化膜に比べれば絶縁耐圧は低く、膜質は劣る。前記非単結晶シリコン薄膜101として多結晶シリコン薄膜を用いた場合は、この熱酸化工程で熱処理による結晶成長が進み、対体積結晶化率が向上し、結晶粒径が拡大する。また、前記非単結晶シリコン薄膜101として非晶質シリコン薄膜若しくは微結晶シリコン薄膜を用いた場合にも、この熱酸化工程で熱処理による結晶成長が進み、結晶粒径5000Åから数μmの大きさの多結晶シリコンに結晶成長する。尚、ゲート酸化膜の形成方法としては上述の熱酸化法に限らず、CVD法、プラズマCVD法、ECRプラズマCVD法、光CVD法、スパッタ法等でSiO₂膜を形成する方法、プラズマ酸化法等で低温酸化する方法等もある。これらの方法は、工程の温度を800℃程度以下の低温に出来るため、基板として安価なガラス基板を用いることも可能となる点で優れている。次に第1図(c)に示すようにゲート電極103

を形成する。該ゲート電極材料としては、一般的に多結晶シリコンが用いられている。該多結晶シリコン層の形成方法としては、減圧CVD法で多結晶シリコン層を形成し、PClO₃等を用いた熱拡散法により、n⁺poly-Siを形成する方法、プラズマCVD法等で、例えばB(ボロン)若しくはP(燐)を不純物としてドーブした非晶質シリコン層を形成し、550℃～650℃程度の固相成長アニールを2時間～70時間程度行い、該非晶質シリコン層を多結晶化することで、p⁺poly-Si層若しくはn⁺poly-Si層を形成する等の方法がある。(以下、非晶質シリコン層に固相成長アニールを施すことを、固相成長アニール法と呼ぶ。)特に固相成長アニール法を用いてゲート電極を形成した場合には、結晶粒径1～2μm以上の結晶粒を含む大粒径の多結晶シリコンが形成できるため、熱拡散法を用いた場合よりも低抵抗の多結晶シリコンゲート電極を得ることが出来るという利点がある。更に、減圧CVD法由来か固相成長アニール法由来かまたその他の方

法由来かを問わず、ゲート電極としてp⁺poly-Siを用いた場合は、チャネルイオンインプランテーション工程を省くことが出来るという利点があるが、詳細は後述する。尚、固相成長アニール法を用いる場合には、ゲート電極のパタニングの後に固相成長アニールを行なっても良いし、固相成長アニールの後にゲート電極のパタニングをしてもよい。続いて該ゲート電極103をマスクとして不純物元素をイオン注入して、ソース領域104及びドレイン領域105を形成する(この工程に伴って、チャネル領域106も自動的に形成される)。前記不純物元素としては、P(燐)、As(砒素)、またはB(ボロン)等が用いられている。

次に第1図(d)に示すように、後述の非晶質シリコン層のエッチング時のストッパー層107として、非晶質二酸化珪素層を積層する。該ストッパー層の膜厚は応力の低減のため100～300Å程度がよく、特に100～200Åが望ましい。積層の手段としてはCVD法が用いられるが、プ

特開平3-280435 (4)

ラズマCVD法、ECRプラズマCVD法、光CVD法、スパッタ法等でSiO₂膜を形成する方法、若しくはプラズマ酸化法等で低温酸化する方法でもよい。また、熱酸化法を用いると表面熱酸化によりゲート電極のチャネル長方向の寸法が減り、ソース領域及びドレイン領域に注入した不純物元素の横方向拡散長を考慮したチャネル長未満まで減らなければ有効である。材質としては特に非晶質二酸化珪素である必要はなく、水素の拡散係数が後の工程で積層するキャップ層の材質に於ける水素の拡散係数より小さい絶縁体であればよい。第1図(e)に示したような、スピノーオン・グラス(SOG)の中でも有機SOGの様な平坦性の高い材質をストッパー層107として用いれば、ゲート電極上では薄く、ソース領域上及びドレイン領域上では厚く、と言う積層も可能であり、この場合は、次の非晶質シリコン層を積層する工程及びキャップ層を積層する工程の際の段切れを防止することが出来る。そして有機SOGの種類によっては水素の拡散係数が違うた

質シリコン層を積層する工程及びキャップ層を積層する工程の際の段切れを防止することが出来る。非晶質シリコン層のエッチング時のストッパーとしての働きが優れている材質を用いた場合は層の更なる薄膜化ができ、応力の低減にも有効である。従って、前記ソース領域104内及びドレイン領域105内の不純物活性化と、前記ストッパー層107の緻密化の目的で、600℃～1000℃程度の熱処理を行なう。この熱処理によって変成若しくは変形する材質を前記ストッパー層として選んだ場合に主として有効であるが、この熱処理工程と前記ストッパー層の積層工程は逆でも構わない。

次に第1図(g)に示すように非晶質シリコン膜108をプラズマCVD法等の方法で成膜する。この際、非晶質シリコン膜中には10%程度の水素が含まれている。使用装置は特別な装置ではなく、通常のプラズマCVD装置を利用して成膜が可能である。成膜ガスとしてはモノシラン(SiH₄)ガスまたはSiH₂ガスを水素ガス若しくは

め、後の水素化アニール工程によって、ソース領域付近及びドレイン領域付近に関しては弱いがチャネル領域付近に関しては強い水素化、或るいは逆に、チャネル領域付近に関しては弱いソース領域付近及びドレイン領域付近に関しては強い水素化も可能である。尚、有機SOGはストッパー層としてばかりでなく、このまま層間絶縁膜として用いることも可能である。この場合は、後のストッパー層の剥離工程が省けると言う利点がある。第1図(f)の様に、ストッパー層としてポリイミド層を形成することも可能である。この場合のポリイミドとしては、後の水素化アニール工程のための温度に耐熱性があることと、水素の拡散係数が後に積層するキャップ層の材質に於ける水素の拡散係数よりも大きいことの二点が十分条件である。この様なポリイミドを選んだ場合には、ストッパー層としてではなく、このまま層間絶縁膜としても使えるので、ストッパー層の剥離工程が省ける点で優れている。平坦性の高いポリイミドをストッパー層107として用いれば、後の非晶

アルゴンガス等で希釈したモノシラン混合ガスを用い、内圧0.3～2 Torrで、13.56 MHzの高周波により前記ガスをガス分解して非晶質シリコン膜を膜厚500Å～1μm程度成膜する。成膜時の基板温度としては、室温～350℃程度がよいが、後述の水素化アニール工程時に効率よく水素が脱離する点から、200℃以下が特に望ましい。前記ストッパー層として有機SOG若しくは無機SOG若しくはポリイミドを用いた場合にはプラズマダメージによりクラックを生じる可能性があるため、非晶質シリコン膜の成膜工程に於いては、プラズマCVD法ではなく、LP-CVD法、スパッタ法、超高真空下での蒸着法等の方法で代用しなければならないが、若しくは非晶質シリコン膜の成膜の前にCVD法などによりSiO₂を積層する方法、またはプラズマダメージが表面のみにとどまる表面O₂プラズマ処理等の方法により薄いSiO₂膜を形成するなどしておく前処理が必要となることがある。

従って、第1図(h)に示すように該非晶質シ

特開平3-280435(5)

リコン膜108上にキャップ層109を形成し、300℃～500℃程度の温度で水素化アニール工程を行なう。アニール時間は30分～5時間程度である。このアニールによって非品質シリコン膜から原子状の水素が脱離し、ストッパー層または層間絶縁膜、ゲート電極、ゲート絶縁膜、半導体領域を拡散し、多結晶シリコンの結晶粒界等に存在する末端未結合部分を終端化する。但しこの水素化アニール工程に於いては、非品質シリコン膜の水素の脱離特性を考慮して、所定の水素化アニール温度に達するまでに10℃/分以上の急激な速度の温度上昇は避けるべきである。但し、非品質シリコン膜は後の工程で剥してしまうので、多少のクラックまたは膜剥離などは厭わないと言う場合には10℃/分より速い温度上昇速度でも構わない。尚、キャップ層109としては非品質シリコンから発生する水素が拡散しにくい材料が望ましく、例えば、Cr、Mo、Al等の金属薄膜をスパッタ法、蒸着法等で300Å～1μm程度形成する、若しくは非品質窒化珪素(a-Si

N_x)を1000Å～1μm程度形成する等の方法が特に優れている。また、キャップ層の材質は上記材料に限らず、前記ストッパー層の材質よりも水素が拡散しにくい(拡散係数が小さい)材料である点が重要である。

続いて第1図(1)に示すように、前記キャップ層109及び非品質シリコン膜108をエッチング除去した後層間絶縁膜110を積層する。該層間絶縁膜の材質としては、基板の大型化に伴う応力軽減の目的で、ポリイミド、または有機SiO₂等の材質が特に有効である。勿論従来例のように、あらためて二酸化珪素膜を積層してもよい。前記ストッパー層として、応力を発生する材質を選んだ場合には、層間絶縁膜を積層する前に、可能ならばストッパー層の完全剥離若しくは一部剥離を行なってもよい。前記ストッパー層として、そのまま層間絶縁膜として使用できる材質を用いた場合には、改めて層間絶縁膜を積層しなくてもよい。そしてソース領域及びドレイン領域のコンタクト電極111を形成すれば薄膜トランジスタが完成

する。該コンタクト電極材料としてはAl、Cr、Ni等の金属材料を用いる。

本発明により形成した多結晶シリコンTFT(Poly-Si TFT)の電界効果移動度はNチャネルで50cm²/V・s(LPCVD法590℃で多結晶シリコンを形成した場合)～180cm²/V・s(プラズマCVD法で形成した非品質シリコンを600℃で約17時間固相成長させた場合)となり、水素ガス雰囲気中でアニールしたただけの場合(～10cm²/V・s)と比べて大幅な特性向上が為された。

続いて水素化に伴うスレッショールド電圧制御の問題に関して述べる。多結晶シリコンTFTを水素化すると、Nチャネルトランジスタがエンハンスメント方向にシフトするが、チャネル領域に10¹⁶～10¹⁸/cm³程度の不純物をドーピングすることで、スレッショールド電圧を制御することが出来る。例えば第1図に於いて、ゲート電極を形成する前にイオンインプランテーション法等でB(ボロン)等の不純物を10¹⁶～10¹⁸/c

m³程度のドーピングで打ち込む等の方法がある。特に、ドーピングが前述の値程度であれば、Pチャネルトランジスタ、Nチャネルトランジスタともオフ電流が最小になるようにスレッショールド電圧を制御することが出来る。従って、CMOS型のTFT素子を形成する場合に於いてもPチャネル、Nチャネルを選択的にチャネルドーピングせず、全面を同一の工程でチャネルドーピングすることが可能である。また、前述のようにゲート電極として従来の熱拡散法によるn⁺poly-Siを用いる代わりに、固相成長法等で形成したp⁺poly-Siを用いることで、チャネルイオンインプランテーション工程を行わずにスレッショールド電圧を制御することもできる。

次に、従来の水素プラズマ処理で発生し易いプラズマダメージによる不良が、本発明の水素化では全く発生しない理由に関して述べる。水素プラズマ処理で発生するダメージの原因は、今のところ明らかではないが、プラズマ雰囲気中に浸されたことにより基板にチャージアップが起こり、ゲ

特開平3-280435 (8)

ートソースドレイン間に電圧がかかった状態になり、また基板温度が300℃程度と比較的高いため、疑似的にBTストレス（バイアス及び温度ストレス）が加わる上、更に水素プラズマ処理時間も1～2時間程度と比較的長時間に亘るために、TFTに不良が生じたとするモデルが現象をよく説明している。このモデルに則ると、本発明の水素化の方法では、非晶質シリコン膜をプラズマCVD法で成膜し、アニールによって該非晶質シリコンから脱離した水素原子によって水素化を行なっているため、非晶質シリコン膜成膜時に上述のようなBTストレスが加わらなければダメージは発生しない。実際、非晶質シリコン膜をプラズマCVD法で成膜しただけでは、上述のようなBTストレスは殆ど加わらず、本発明で作成したTFTでは、プラズマダメージによる不良を全く無くすることが出来た。その理由としては、以下の2点が考えられる。

(1) 水素プラズマ処理と比べ非晶質シリコン膜の成膜では、高周波電力が1桁程度小さいため

ストレスを生じないか、或るいは僅少にすることが可能である。

以上述べたように、本発明を応用すれば、オン電流が大きくオフ電流が小さくサブスレッシュホールド電圧の立ち上がりが急峻で信頼性の優れたトランジスタを、プラズマダメージ等による不良を皆無にして製造可能となる。更に本発明によれば、大型パネルなど大面積の基板を水素化することも容易である上、生産性も向上すると言う大きな利点がある。

本発明の応用としては、例えば、非結晶シリコンを素子材としたTFTによって構成された液晶表示パネル、密着型イメージセンサ、ドライバ内蔵型のサーマルヘッド、有機系EL等を発光素子としたドライバ内蔵型の光書き込み素子や表示素子、三次元IC等が考えられる。本発明を用いることで、これらの素子の高速化、高解像度化等の高性能化が実現される。更に、実施例で説明したように、600℃程度以下の低温プロセスに本発明を応用することにより、基板として安価なガラ

(直径20cmの電極サイズで、水素プラズマ処理が100～200Wを費やすのに対し非晶質シリコン膜の成膜には10～20W)、チャージアップが起こりにくい。

(2) 水素プラズマ処理では、高周波により分解した水素ガスを供給する作用と、熱拡散によって分解した水素ガスを前記チャネル領域付近まで拡散させる作用を同時に行なう。従って、基板温度を250℃～350℃程度の比較的高温に保たなければ水素化の効果は激減してしまう。一方、本発明では分解した水素ガスの供給と、熱拡散による水素化とを、非晶質シリコン膜成膜時に行なうのではなく、別個のアニール工程で行なうため、非晶質シリコン膜成膜時の基板温度を低温化することが可能である。更に、十分条件として、非晶質シリコン膜の成膜時に於ける基板温度が低い方が、水素化アニール工程に於ける水素の脱離の効率が良くなると言うことがある。

よって本発明に於いては、プラズマを用いて非晶質シリコン膜を成膜した場合でも疑似的なBTス

スを用いた大面積で且つ高性能の半導体装置も実現可能となる。

尚、第1図では、poly-SiTFT製造工程に本発明を適用した場合を例としたが、本発明はこれに限定されるものではない。本発明は、チャネル領域の少なくとも一部が多結晶である絶縁ゲート型電界効果トランジスタ全てに対し有効である。また、チャネル領域の少なくとも一部が微結晶である絶縁ゲート型トランジスタや、チャネル領域の一部がスパッタ法や蒸着法等で形成した水素化の不十分な非晶質半導体からなるトランジスタに於いても有効である。

また、チャネル領域が単結晶であっても、三次元ICのように再結晶化若しくは固相成長させたシリコン膜に素子を形成する場合、結晶内に生じ易い、異粒界などの欠陥を、本発明に基づく半導体装置の製造方法で、末端未結合部分の終端化を行なうと特性の向上に効果がある。

更に、HBT（ヘテロバイポーラトランジスタ）等のヘテロ接合界面の欠陥密度の低減に対しても

特開平3-280435 (7)

第1図(a)～(f)は本発明の実施例に於ける薄膜半導体装置の製造工程図の一例である。

本発明は有効である。特に、ヘテロ接合を形成する二つの半導体層のうちの少なくとも一方が非単結晶半導体よりなる場合には、本発明による水素化処理により、膜中及び界面の欠陥を同時に低減することが出来る。

また、非単結晶半導体を素子材とした太陽電池・光センサやバイポーラトランジスタ、静電誘導トランジスタをはじめとして、本発明は幅広く半導体プロセス全般に応用することが出来る。

〔発明の効果〕

以上述べたように、本発明によればpoly-Si TFT等のチャネル領域の少なくとも一部が非単結晶半導体よりなる絶縁ゲート型電界効果トランジスタの高性能化を、プラズマダメージによる不良若しくは基板応力による不良等もなく実現できる。また、本発明は絶縁ゲート型電界効果トランジスタに限らず、半導体プロセス全般に亘り広く応用することが出来、その効果はきわめて大きい。

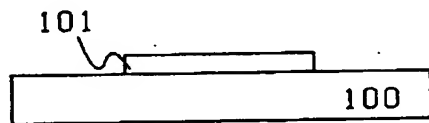
4. 図面の簡単な説明

- 100 …… 支持層
- 101 …… 非単結晶シリコン薄膜
- 102 …… ゲート酸化膜
- 103 …… ゲート電極
- 104 …… ソース領域
- 105 …… ドレイン領域
- 106 …… チャネル領域
- 107 …… ストップー層
- 108 …… 非晶質シリコン膜
- 109 …… キャップ層
- 110 …… 層間絶縁膜
- 111 …… コンタクト電極

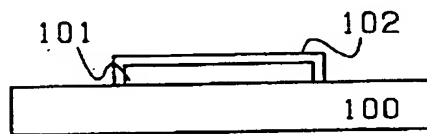
以 上

出願人 セイコーエプソン株式会社

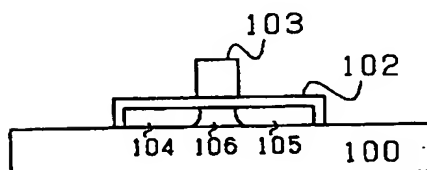
代理人弁理士 鈴木 喜三郎 (他1名)



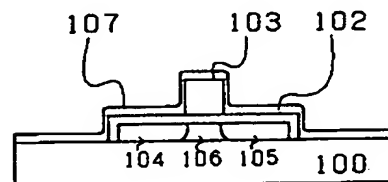
第1図(a)



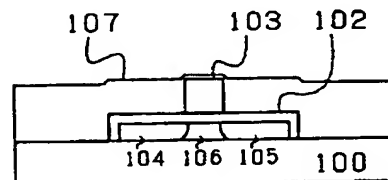
第1図(b)



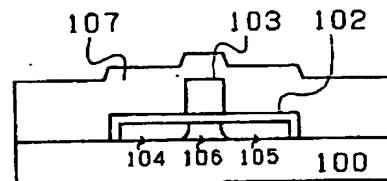
第1図(c)



第1図(d)

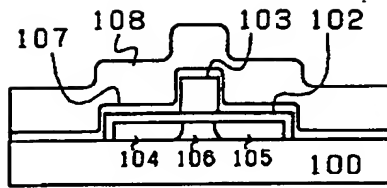


第1図(e)

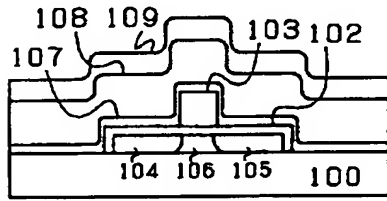


第1図(f)

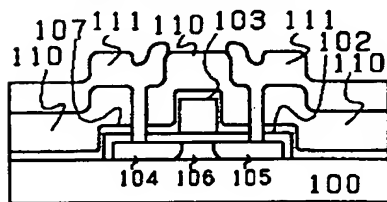
特開平3-280435 (8)



第1図(g)



第1図(h)



第1図(i)

(19)【発行国】日本国特許庁(JP)
(12)【公報種別】公開特許公報(A)
(11)【公開番号】特開平3-280435
(43)【公開日】平成3年(1991)12月11日
(54)【発明の名称】薄膜半導体装置の製造方法
(51)【国際特許分類第5版】
H01L 21/336
H01L 21/205
H01L 21/84
H01L 29/784
【審査請求】*
【全頁数】8
(21)【出願番号】特願平2-80212
(22)【出願日】平成2年(1990)3月28日
(71)【出願人】
【識別番号】999999999
【氏名又は名称】セイコーエプソン株式会社
【住所又は居所】*
(72)【発明者】
【氏名】佐藤淳史
【住所又は居所】*

(57)【要約】本公報は電子出願前の出願データであるため要約のデータは記録されません。

【特許請求の範囲】

(1) 絶縁ゲート型電界効果トランジスタのチャネル領域の少なくとも一部が非単結晶半導体よりなる半導体の製造方法に於いて、層間絶縁膜としてのポリイミド層を形成する工程、該ポリイミド層上に水素を含む非晶質シリコン膜を形成する工程、該非晶質シリコン膜上に水素の拡散係数が前記ポリイミド層より小さいキャップ層を形成する工程、熱処理によって該非晶質シリコン膜中に存在する水素を脱離及び拡散する工程を少なくとも有することを特徴とする薄膜半導体装置の製造方法。

10

(2) 絶縁ゲート型電界効果トランジスタのチャネル領域の少なくとも一部が非単結晶半導体よりなる半導体の製造方法に於いて、非晶質二酸化珪素層を形成する工程、該非晶質二酸化珪素層上に水素を含む非晶質シリコン膜を形成する工程、該非晶質シリコン膜上に水素の拡散係数が非晶質二酸化珪素よりも小さい物質からなるキャップ層を形成する工程、熱処理によって該非晶質シリコン膜中に存在する水素を脱離及び拡散する工程を少なくとも有することを特徴とする薄膜半導体装置の製造方法。

20